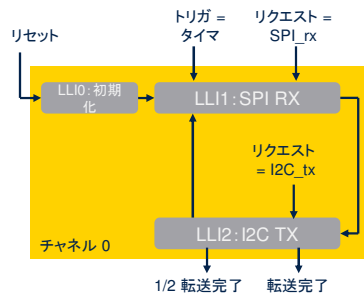




こんにちは。このプレゼンテーションでは、GPDMA および LPDMA  
チャンネルの入出力信号の制御について説明します。

## DMA 転送と入出力制御 DMA\_CxTR2



- LLIレベルでの柔軟性の高いチャンネル内/チャンネル間同期
- プログラム可能な入力制御
  - リクエスト選択
  - トリガ選択
  - トリガモード V.S. 転送の粒度
    - データ(ブロック、2次元ブロック、シングル/バースト)またはリンク
- プログラム可能な出力制御
  - イベント生成 V.S. 転送の粒度
    - データ(ブロック、2次元ブロック)または LLI またはチャンネル
  - 転送完了ハードウェア信号生成
    - 別のチャンネルのトリガ入力として使用される場合あり
    - フラグと異なり、クリアする必要なし



2

DMA\_CxTR2 レジスタは、LLI レベルでチャンネル x によって処理される転送の入力制御(リクエスト、トリガイベント)と出力制御(転送完了イベント)を定義します。

これにより、柔軟性の高い、イベント駆動型およびハードウェアベースの、ソフトウェアのグローバル制御下での転送のスケジューリングが可能です。

この図では、タイマを使用して、SPI モジュールが受信したデータの転送をトリガします。この転送が完了すると、LLI2 へのリンクが実行されます。LLI2 は、I2C 送信を処理します。

この転送が完了すると、SPI 受信転送に関連する設定を復元するためのリンクが実行されます。

次のタイムアウト発生時には、このシーケンスが繰り返されます。

DMA チャンネルの入力は、次のとおりです。

- この図の SPI Rx 信号および I2C Tx 信号などの、リクエストの選択
- トリガ入力プログラムされた DMA 転送は、この図のタイムアウトなどの、選択された入力トリガイベントの立ち上がり/立ち下がりエッジによってトリガできます。

トリガによって条件付けられる転送の粒度は、バーストレベル、またはブロックレベル、またはチャンネル 12 ~ 15 の 2 次元/繰り返しブロックレベル、または GPDMA のリンクレベルのいずれかになります。

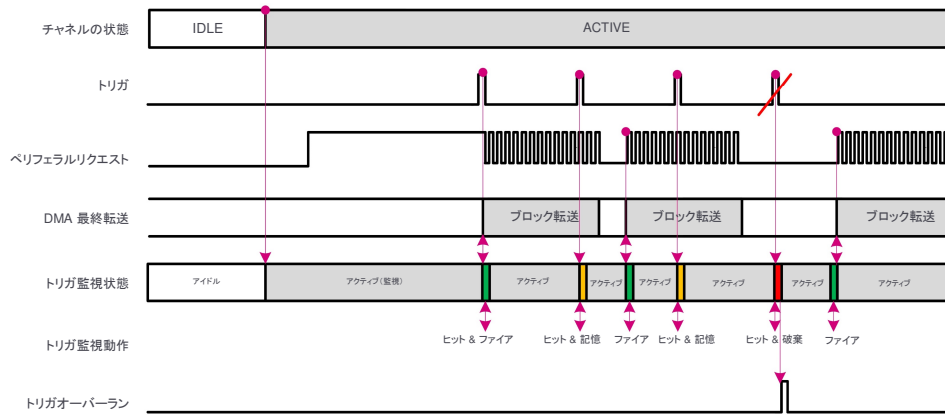
トリガによって条件付けられる転送の粒度は、シングルデータレベル、またはブロックレベル、または LPDMA のリンクレベルのいずれかになります。

DMA チャンネルの出力は転送完了イベントであり、チャンネル間での転送の連鎖で別のチャンネルのトリガ入力として使用できます。関連するソフトウェア転送完了フラグとは異なり、ソフトウェアが転送完了信号を確認してクリアする必要はありません。

転送完了イベント生成の転送の粒度は、GPDMA のブロックレベル、または 2 次元/繰り返しブロックレベル、または LLI レベル、またはチャンネルレベルのいずれかになります。

転送完了イベント生成の転送の粒度は、LPDMA のブロックレベル、またはブロックレベル、または LLI レベル、またはチャンネルレベルのいずれかになります。

## トリガのヒット、記憶、およびオーバーラン



設定例:

- TRIGM[1:0]=2'b00(ブロックレベル)
- TRIGPOL[1:0]=2'b01(立ち上がりエッジ)



3

このタイミング図は、ブロックレベルトリガモードと立ち上がりエッジトリガ極性のある設定例でのトリガのヒット、トリガの記憶、トリガのオーバーランを示しています。

チャンネル x のトリガの DMA 監視は、チャンネルが有効化されるか、または新しいアクティブトリガ設定がロードされたときに、選択されたトリガの立ち上がりエッジまたは立ち下がりエッジで開始されます。

このトリガの監視は、トリガされ、完了していない(データまたはリンクの)転送中は、アクティブなままです。このタイミング図では、ペリフェラルリクエストがアクティブなので、トリガの最初の立ち上がりエッジで転送が開始されます。

新しいトリガが検出された場合、定義された立ち上がり/立ち下がりエッジとトリガ選択が変更されず、チャンネルが有効である限り、このヒットは内部に記憶され、次の転送を許可します。

これは、トリガの 2 番目の立ち上がりエッジの場合です。最初の転送が進行中の場合に発生します。その後、2 番目の転送がトリガされ、ペリフェラルリクエストがアサートされたときに開始します。これがタイミング図ではファイアと呼ばれる状態です。

新たに最初のトリガヒット n+1 が記憶された後で、別のトリガヒット n+2 が検出された場合、またヒット n のトリガによる転送がまだ完了していない場合、ヒット n+2 は失われ、記憶されません。

トリガオーバーランフラグが報告され、割込みが生成されます。

これは、トリガの 4 番目の立ち上がりエッジの場合です。2 番目の立ち上がりエッジは、2 番目のブロック転送を開始するために使用されます。この転送の進行中に 3 番目の立ち上がりエッジが発生し、記憶されます。2 番目の転送が完了していないため、4 番目の立ち上がりエッジでオーバーラン状態が発生します。

トリガオーバーランの発生により、ハードウェアによってチャンネルが自動的に無効になることはありません。トリガ選択またはトリガ極性のいずれについても、新しい値で DMA\_CxTR2 を更新する次の LLI<sub>n+1</sub> を転送すると、監視がリセットされ、以前に定義された LLI<sub>n</sub> トリガで記憶したヒットがある場合、これを破棄します。

# Our technology starts with You

© STMicroelectronics - All rights reserved.  
ST logo is a trademark or a registered trademark of STMicroelectronics International NV or its affiliates in the EU and/or other countries.  
For additional information about ST trademarks, please refer to [www.st.com/trademarks](http://www.st.com/trademarks).  
All other product or service names are the property of their respective owners.



このプレゼンテーション以外に、GPDMA および LPDMA に関する他のプレゼンテーションを参照できます。

- DMA の概要
- DMA 転送のハードウェアビューとソフトウェアビュー
- 自律 DMA と低消費電力モード
- DMA のリンクリスト
- DMA のサーキュラバッファリングとダブルバッファリング
- DMA の 2 次元アドレス
- DMA のレジスタファイル
- DMA のエラーレポート